

Docket No.: 56937-091

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
: :  
**Yukio SUGIMURA, et al.** : Confirmation Number:  
: :  
Serial No.: : Group Art Unit:  
: :  
Filed: September 17, 2003 : Examiner:  
: :  
For: TECHNIQUE FOR TESTABILITY OF SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. P2002-270069, filed September 17, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mw  
Facsimile: (202) 756-8087  
**Date: September 17, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

56937-091

Y. SUGIMURA et al.

September 17, 2003.

Dermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 9月17日

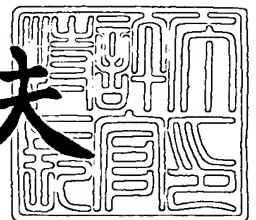
出願番号  
Application Number: 特願2002-270069  
[ST. 10/C]: [JP 2002-270069]

出願人  
Applicant(s): 松下電器産業株式会社

2003年 9月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3070990

【書類名】 特許願

【整理番号】 5037730125

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 杉村 幸夫

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小川 淳

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路のテスト容易化方法

【特許請求の範囲】

【請求項 1】 半導体集積回路に対して所定のテストパターンに基づく故障シミュレーションを行って検出可能な故障と検出不可能な故障との弁別を行う第 1 の工程と、

前記検出不可能な故障を未検出故障としてリストアップする第 2 の工程と、

前記未検出故障をテストするためのテスト条件を求める第 3 の工程と、

前記第 1 の工程の故障シミュレーションの所定のテストパターンのうち前記第 3 の工程のテスト条件に最も近いテストパターンを求める第 4 の工程と、

前記第 2 の工程の未検出故障に対応するレジスタをスキャンレジスタに置き換えけるとともに、前記スキャンレジスタをスキャンチェーン接続して修正回路を構成する第 5 の工程と、

前記修正回路に対して前記第 1 の工程における前記所定のテストパターンを用いながら前記未検出故障相当のタイミングでは前記第 4 の工程で求めたテストパターンに切り換えて故障シミュレーションを行う第 6 の工程とを含む半導体集積回路のテスト容易化方法。

【請求項 2】 請求項 1 に記載の半導体集積回路のテスト容易化方法において、

前記第 5 の工程は、前記未検出故障に対応する入力側のレジスタを、スキャンレジスタに置き換えることに代えて、セット付きレジスタまたはリセット付きレジスタに置き換えて修正回路を構成する半導体集積回路のテスト容易化方法。

【請求項 3】 半導体集積回路におけるテスト対象の組み合わせ回路に接続のレジスタ群を、搭載プロセッサで直接に制御および観察が可能な第 1 のレジスタ、前記半導体集積回路の端子から直接に制御および観察が可能な第 2 のレジスタ、および、前記第 1 および第 2 のレジスタ以外の第 3 のレジスタに区分した上で、前記第 3 のレジスタをスキャンレジスタに置き換えるとともに、前記スキャンレジスタをスキャンチェーン接続して修正回路を構成する第 1 の工程と、

前記第 1 および第 2 のレジスタに対して前記プロセッサまたは前記集積回路端

子からテスト用データを設定入力する第2の工程と、

前記第3のレジスタに対して前記スキャンチェーンを介するシフト動作を伴ってテスト用データを設定入力する第3の工程と、

前記組み合わせ回路に対する前記テスト用データのキャプチャー動作を行う第4の工程と、

前記第3のレジスタにあるテスト結果のデータを前記スキャンチェーンを介するシフト動作を伴って出力する第5の工程と、

前記第1および第2のレジスタにあるテスト結果のデータを出力する第6の工程とを含む半導体集積回路のテスト容易化方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体集積回路のテスト容易化方法に関する。

##### 【0002】

#### 【従来の技術】

図12は従来の集積回路テスト方法の構成図である（例えば、特許文献1参照）。図12において、0201はチップ、0202は内部メモリ手段（RAM）、0203はCPU、0204は被テスト回路、0205はこれらを相互に接続する内部バス、0206は内部バス0205と被テスト回路0204に接続されたスキャンテスト用回路、0206aは被テスト回路0204のスキャンテスト関連端子をスキャンテスト用回路0206と接続する信号線、0207は内部バス0205を入出力端子0208に接続する外部バスIFユニットである。

##### 【0003】

被テスト回路0204のテストにおいて、CPU0203または入出力端子0208からバス0205を介してスキャンテスト用回路0206を制御することにより、被テスト回路0204のスキャンテスト関連端子にテスト用データを設定入力するとともに、被テスト回路0204のスキャンテスト関連端子の値を読み出すことができる。

##### 【0004】

**【特許文献1】**

特開平11-108998号公報(第3-4頁、図1)

**【0005】****【発明が解決しようとする課題】**

上記した従来の集積回路テスト方法はフルスキャンテストと呼ばれる方式で、被テスト回路0204内のレジスタをすべてスキャンレジスタに置き換えてスキャンチェーン接続することを前提としている。このため、バスから直接制御／観測可能なレジスタについてもスキャンレジスタに置き換えているが、スキャンレジスタは通常のレジスタに比べて、面積が大きいものであり、すべてを置き換えることから大きなチップ面積を必要としていた。

**【0006】**

また、通常動作時のクロックとは別に、バス0205を介してCPU0203または入出力端子0208からスキャンテスト用回路0206を制御し、スキャンテスト用回路0206からスキャンテスト用のスキャンクロックを被テスト回路0204に入力しテストを行う構成である。このため、チップが高速で動作する場合に、通常、バスのスピードは内部クロックのスピード以下であり、通常動作と同じスピードでテストを行うことは不可能であった。

**【0007】**

本発明は、このような事情に鑑みて創案されたものであり、チップ面積の無駄を削減するとともに、高速動作が行えるようにすることを目的とする。

**【0008】****【課題を解決するための手段】**

上記の課題を解決するために、本発明は次のような手段を講じる。すなわち、半導体集積回路のテスト容易化方法について、次のような複数の工程を含むものである。

**【0009】**

第1の工程において、半導体集積回路に対して所定のテストパターンに基づく故障シミュレーションを行って検出可能な故障と検出不可能な故障との弁別を行う。

**【0010】**

第2の工程において、前記検出不可能な故障を未検出故障としてリストアップする。

**【0011】**

第3の工程において、前記未検出故障をテストするためのテスト条件を求める。

**【0012】**

第4の工程において、前記第1の工程の故障シミュレーションの所定のテストパターンのうち前記第3の工程のテスト条件に最も近いテストパターンを求める。

**【0013】**

第5の工程において、前記第2の工程の未検出故障に対応するレジスタをスキャンレジスタに置き換えるとともに、前記スキャンレジスタをスキャンチェーン接続して修正回路を構成する。

**【0014】**

第6の工程において、前記修正回路に対して前記第1の工程における前記所定のテストパターンを用いながら前記未検出故障相当のタイミングでは前記第4の工程で求めたテストパターンに切り換えて故障シミュレーションを行う。

**【0015】**

この構成による作用は次のとおりである。すなわち、従来方式のすべてのレジスタをスキャンレジスタに置き換えるフルスキャンテストとは異なり、未検出故障に対応するレジスタのみをスキャンレジスタに置き換えるだけである。テスト対象の組み合わせ回路の入力側のスキャンレジスタに対しては外部よりテスト用データを設定入力する。組み合わせ回路の入力側でスキャンレジスタに関連するが故障相当ではないレジスタに対しては、搭載プロセッサまたは集積回路端子からテスト用データを設定入力する。組み合わせ回路の出力側のスキャンレジスタに対しては外部よりテスト用データを設定入力して出力の初期化を行う。このようにすれば、故障シミュレーション用にあらかじめ用意されている所定のテストパターンを利用して、故障相当ではないレジスタにテスト用データを設定入力す

るとともに、外部よりスキャンレジスタにテスト用データを設定入力し、故障シミュレーションを遂行することができる。フルスキャンテスト方式に比べて、スキャンレジスタに置き換えるべきレジスタの数を必要最小限とでき、チップ面積の増大を効果的に抑制することができる。また、故障相当ではないレジスタを動作させる通常の基本クロックのもとで、あらかじめ用意された所定のテストパターンを利用して、入出力動作全体を制御でき、高速処理が可能である。

#### 【0016】

上記の半導体集積回路のテスト容易化方法の代替として、前記第5の工程については、前記未検出故障に対応する入力側のレジスタを、スキャンレジスタに置き換えることに代えて、セット付きレジスタまたはリセット付きレジスタに置き換えて修正回路を構成するのでもよい。この場合、上記同様の作用のほか、セット付きレジスタまたはリセット付きレジスタは搭載プロセッサまたは集積回路端子からの制御性が向上し、より効率の良い処理が可能である。

#### 【0017】

別の解決手段として、本発明は次のような手段を講じる。すなわち、半導体集積回路のテスト容易化方法について、次のような複数の工程を含むものである。

#### 【0018】

第1の工程において、半導体集積回路におけるテスト対象の組み合わせ回路に接続のレジスタ群を、搭載プロセッサで直接に制御および観察が可能な第1のレジスタ、前記半導体集積回路の端子から直接に制御および観察が可能な第2のレジスタ、および、前記第1および第2のレジスタ以外の第3のレジスタに区分する。そして、その上で、前記第3のレジスタをスキャンレジスタに置き換えるとともに、前記スキャンレジスタをスキャンチェーン接続して修正回路を構成する。

#### 【0019】

第2の工程において、前記第1および第2のレジスタに対して前記プロセッサまたは前記集積回路端子からテスト用データを設定入力する。

#### 【0020】

第3の工程において、前記第3のレジスタに対して前記スキャンチェーンを介



するシフト動作を伴ってテスト用データを設定入力する。

【0021】

第4の工程において、前記組み合わせ回路に対する前記テスト用データのキャプチャー動作を行う。

【0022】

第5の工程において、前記第3のレジスタにあるテスト結果のデータを前記スキャンチェーンを介するシフト動作を伴って出力する。

【0023】

第6の工程において、前記第1および第2のレジスタにあるテスト結果のデータを出力する。

【0024】

この構成による作用は次のとおりである。すなわち、従来方式のすべてのレジスタをスキャンレジスタに置き換えるフルスキャンテストとは異なり、搭載プロセッサで直接に制御および観察が不可能な、および、集積回路端子から直接に制御および観察が不可能な第3のレジスタのみをスキャンレジスタに置き換えるだけである。そして、故障シミュレーションにおいては、第1および第2のレジスタに対しては通常のテスト用データの設定入力を行い、第3のレジスタはスキャンチェーンを利用してテスト用データの設定入力・シフト動作を行い、テスト結果のデータの観測のための出力に際しては第3のレジスタはスキャンチェーンを利用してシフト動作・出力を行い、第1および第2のレジスタでは通常のテスト結果のデータの読み出しとする。このようにすれば、フルスキャンテスト方式に比べて、スキャンレジスタに置き換えるべきレジスタの数を削減することができ、チップ面積の増大を抑制することができる。

【0025】

【発明の実施の形態】

以下、本発明にかかわる半導体集積回路のテスト容易化方法の実施の形態について図面に基づいて詳細に説明する。

【0026】

(実施の形態1)

図1はテスト容易化設計を行う前の元の回路C0を示す。論理回路設計段階において、元の回路C0に対してテスト容易化のための回路修正すなわちテスト容易化設計を行う。

#### 【0027】

図1において、101, 102, 103は、入力が決まると出力が一意に決まる組み合わせ回路である。この組み合わせ回路は、内部にレジスタ、ラッチ、メモリを含まない。今回の例では、組み合わせ回路102がテスト対象であり、説明の簡単のため、AND回路29が1個のみ入っている回路としている。104は半導体集積回路に搭載されているプロセッサ、105はプロセッサ104と各部を接続するバス、106はアドレスデコーダである。アドレスデコーダ106は、バス105のアドレス部分をデコードし、書き込み制御信号WE2、読み出し制御信号RE1, RE3を生成して出力する。

#### 【0028】

1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14はDフリップフロップからなるレジスタである。

#### 【0029】

レジスタ1は、プロセッサ104から書き込み制御可能なレジスタであり、アドレスデコーダ106からの書き込み制御信号WE2により、バス105のデータ部分の値をセクタ30を介して取り込むことができるように構成されている。

#### 【0030】

レジスタ8は、プロセッサ104からデータ読み込み制御が可能なレジスタであり、アドレスデコーダ106からの読み出し制御信号RE1によりトライステートバッファ（読み出し制御回路）31を介してバス105のデータ部分に値を出力する。

#### 【0031】

プロセッサ104は、バス105のデータ部分に出力された値を読む込むことができる。CKは組み合わせ回路で使用する基本クロックであり、プロセッサ104から供給される。

**【0032】**

図2は、テスト容易化設計を行う前の元の回路C0に対して、テスト容易化のために修正を行った後の修正回路C1を示す。図示例の修正回路C1は、元の回路C0におけるレジスタ2およびレジスタ10がスキャンレジスタ2' およびスキャンレジスタ10' に置き換えられている（置き換え方法については、図4、図5で説明する）。スキャンレジスタ2' , 10' がスキャンチェーンを構成する。

**【0033】**

図3（a）は、図2に示す修正回路C1で使用されたスキャンレジスタの構成を示す。図3（b）は等価回路を示す。このスキャンレジスタは、通常動作時のデータ入力（D）とは別にスキャンテスト用のデータ入力（TD）を有し、さらに、スキャンイネーブル入力（SE）を有している。スキャンレジスタにおいて、スキャンイネーブル入力（SE）が“0”のときは、クロック入力（CK）の立ち上がりタイミングで、データ入力（D）の値を内部に取り込む。また、スキャンイネーブル入力（SE）が“1”のときは、クロック入力（CK）の立ち上がりタイミングで、テスト用データ入力（TD）の値を内部に取り込む。

**【0034】**

図2において、TDI（Test Data Input）は、スキャンレジスタ2' , 10' からなるスキャンチェーンに対するデータ入力端子である。TDO（Test Data Output）は、スキャンレジスタ2' , 10' からなるスキャンチェーンのデータ出力端子である。TCKはテストクロック入力端子であり、テストデータ入力端子TDIからデータを取り込み、スキャンチェーン内でテスト用データをシフトさせ、組み合わせ回路102を経て得られたデータをテストデータ出力端子TDOへ出力する動作において、テストクロック入力端子TCKからのテストクロックはタイミング制御を司る。

**【0035】**

32はOR回路であり、外部のテストクロック入力端子TCKからのテストクロックとプロセッサ104からの基本クロックCKとを2入力とし、出力はスキャンチェーンを構成するスキャンレジスタ2' およびスキャンレジスタ10' の

クロック入力 (CK) に接続する。

#### 【0036】

修正回路 C1 において、レジスタから置き換えられたスキャンレジスタ 2' , 10' およびこれに接続されたテストデータ入力端子 TDI、テストデータ出力端子 TDO でスキャンチェーンが構成される。このスキャンチェーンをテストするときは、プロセッサ 104 は基本クロック CK の出力を停止するとともに、スキャンイネーブル信号 SE をアクティブの “1” に切り換える。このスキャンイネーブル信号 SE はスキャンレジスタ 2' , 10' のスキャンイネーブル入力 (SE) に与えられる。これにより、スキャンレジスタ 2' , 10' はデータ入力端子を通常動作時のデータ入力 (D) からテスト用データ入力 (TD) に切り換える。そして、外部のテストクロック入力端子 TCK からのテストクロックを OR 回路 32 を介してスキャンレジスタ 2' , 10' のクロック入力 (CK) に供給する。これにより、外部のテストデータ入力端子 TDI から任意のテスト用データをスキャンレジスタ 2' のテスト用データ入力 (TD) に入力することができる。スキャンレジスタ 2' のデータ出力 (Q) から出力されたデータは組み合わせ回路 102 において論理合成され、その結果がスキャンレジスタ 10' のデータ入力 (D) に入力され、さらにスキャンレジスタ 10' のデータ出力 (Q) から外部のテストデータ出力端子 TDO に出力される。すなわち、組み合わせ回路 102 による論理合成を観測することができる。

#### 【0037】

図 4 は、図 1 に示す元の回路 C0 を図 2 に示す修正回路 C1 に修正するとともに、修正回路 C1 用のテストパターンを作成して行うテスト動作を示すフローチャートである。

#### 【0038】

元の回路 C0 に対するテストパターンが既にあるとする。故障検出率を上げるためにテスト容易化設計、テストパターン追加を行う。故障検出率とは、全故障のうち、与えられたテストパターンにより何%が検出できるかという割合であり、テストパターンの完成度の指標である。

#### 【0039】

初めに、ステップ S 1 において、元の回路 C 0 で故障シミュレーションを行う。故障シミュレーションとは、設計、特にテスト関連の設計を行うテスト設計の一過程であり、与えられたテストパターン系列によって検出可能な故障、検出不可な故障を調べることである。故障シミュレーションは、元の回路 C 0 に対して、既に作成済みのテストパターンを印加することにより行う。

#### 【0040】

次に、ステップ S 2 において、故障シミュレーションで未検出であった故障をリストアップする。故障シミュレーションで未検出の故障とは、たとえ、その箇所が故障していても、故障シミュレーションで使用したテストパターンでは検出・発見できない故障のことである。今回の例では、元の回路 C 0 のレジスタ 2 の出力の信号線 16 が“1”に縮退している故障 (Stuck At “1”であり、これを“SA1”と記載する) が未検出であるとする。

#### 【0041】

次に、ステップ S 3 において、未検出故障〔信号線 16 : SA1〕をテストするための条件 (テスト条件) を求める。未検出故障〔信号線 16 : SA1〕を検出するためには、信号線 16 が“1”に縮退するという故障が発生したときに期待値として観測される値が変わるようなテストであればよい。そのための入力側のテスト条件は、

レジスタ 1 の出力の信号線 15 …… “1”

レジスタ 2 の出力の信号線 16 …… “0”

レジスタ 3 の出力の信号線 17 …… “1”

レジスタ 4 の出力の信号線 18 …… “1”

という入力条件になる。この条件のとき、〔信号線 16 : SA1〕という故障がなければ、AND 回路 29 の出力の信号線 24 が“0”になり、〔信号線 16 : SA1〕という故障が起これば、AND 回路 29 の出力の信号線 24 が“1”となる。

#### 【0042】

次に、ステップ S 4 において、テストパターンを作成するために、故障シミュレーションの実施中でテスト条件に最も近い状態を探す。今回の例では、時刻 T

12の状態、

レジスタ1の出力の信号線15 …… “1”

レジスタ2の出力の信号線16 …… “1”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

が最も近い状態であるとする。

#### 【0043】

次に、テストパターンが容易に作成できるように元の回路C0に対して修正を加える。

#### 【0044】

すなわち、ステップS5において、テスト条件に最も近い状態で条件に合わないレジスタをスキャンレジスタに置き換える。今回の例では、レジスタ2をスキャンレジスタ2'に置き換える。また、故障が無いときと故障が起きたときとで出力／期待値の変化が起きる信号を設定入力するレジスタをスキャンレジスタに置き換える。今回の例では、レジスタ10をスキャンレジスタ10'に置き換える。

#### 【0045】

併せて、スキャン用のテスト用データを設定入力するためのテストデータ入力端子TDI、スキャンデータを観測するためのテストデータ出力端子TDO、テスト用データの設定入力・シフト・出力のためのテストクロックを入力するテストクロック入力端子TCKを加える。また、プロセッサ104において、スキャンモードを設定するためのスキャンイネーブル信号SEを加える。そして、テストデータ入力端子TDIをスキャンチェーンの初段のレジスタとなるスキャンレジスタ2'のテスト用データ入力(TD)に接続する。また、テストデータ出力端子TDOをスキャンチェーンの最後のレジスタとなるスキャンレジスタ10'のデータ出力(Q)に接続する。スキャンイネーブル信号SEをスキャンレジスタ2'、10'のスキャンイネーブル入力(SE)に接続する。テストクロック入力端子TCKをOR回路32の1つの入力に接続し、OR回路32のもうひとつの入力をプロセッサ104の基本クロックCKに接続し、OR回路32の出力

をスキャンレジスタ 2' , 10' のクロック入力 (CK) に接続する。スキャンレジスタ 2' のデータ出力 (Q) をスキャンレジスタ 10' のテスト用データ入力 (TD) に接続する。

#### 【0046】

今回の例では、未検出故障が1つなので、以上によって、図1に示す元の回路C0が図2に示す修正回路C1に修正されたことになる。未検出故障が複数ある場合には、未検出故障の数だけスキャンレジスタへの置き換えを繰り返す。

#### 【0047】

次に、ステップS6において、図2に示す修正回路C1において、未検出故障〔信号線16：SA1〕を検出できるテストパターンを作成する。テスト条件に最も近い状態となる時刻T12まではステップS1の故障シミュレーションで用いたテストパターンをそのまま用いる（これについては、図5で詳述する）。そのテストパターンでは、時刻T12において、

レジスタ1の出力の信号線15 …… “1”

レジスタ2の出力の信号線16 …… “1”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

となっている。この状態から、スキャンチェーンを動作させることにより、未検出故障〔信号線16：SA1〕を検出できるテストパターンを作る。今回の例では、作成されたテストパターンは、

レジスタ1の出力の信号線15 …… “1”

レジスタ2の出力の信号線16 …… “0”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

となる。

#### 【0048】

未検出故障が複数ある場合は、以上のパターン作成を繰り返す。

#### 【0049】

図5は、図2に示す修正回路C1の動作を説明するタイミングチャートである

。基本クロック C K、テストクロック入力端子 T C K、スキャンイネーブル信号 S E、テストデータ入力端子 T D I、テストデータ出力端子 T D Oにおける各波形、レジスタ 1 ～ 4 が保持する値およびレジスタ 1 0 が保持する値を示している。

#### 【 0 0 5 0 】

時刻 T 1 から時刻 T 1 2 はスキャン動作でない通常の動作モードで故障シミュレーションを行う。時刻 T 1 から時刻 T 1 2 では、テストクロック入力端子 T C K は “ 0 ” であり、また、スキャンイネーブル信号 S E は “ 0 ” であり、レジスタ 1 ～ 4 ( 2 ' はスキャンレジスタ ) およびスキャンレジスタ 1 0 ' は、故障シミュレーションと同様に値を変化させていく。

#### 【 0 0 5 1 】

時刻 T 1 2 において、レジスタ 1 ～ 4 が図 4 のテスト設計フローの中のテスト条件に最も近い状態になる。この状態になると、一時的にスキャンレジスタ 2 ' をスキャン動作に切り換える。スキャン動作により、スキャンレジスタ 2 ' の値を書き換えてテスト条件を作る。時刻 T 1 2 の後半から基本クロック C K を “ 0 ” 、スキャンイネーブル信号 S E を “ 1 ” 、テストデータ入力端子 T D I をスキャンレジスタ 2 ' に設定入力するデータ “ 0 ” にする。

#### 【 0 0 5 2 】

時刻 T 1 3 の開始タイミングにおいて、テストクロック入力端子 T C K を立ち上げてテストデータ入力端子 T D I のデータ “ 0 ” をスキャンレジスタ 2 ' に取り込む。この状態で、テスト条件が整うことになる。作成されたテストパターンは、

レジスタ 1 の出力の信号線 1 5 …… “ 1 ”

レジスタ 2 ' の出力の信号線 1 6 …… “ 0 ”

レジスタ 3 の出力の信号線 1 7 …… “ 1 ”

レジスタ 4 の出力の信号線 1 8 …… “ 1 ”

となる。

#### 【 0 0 5 3 】

テスト条件での A N D 回路 2 9 の出力をスキャンレジスタ 1 0 ' に取り込むた



め、時刻T13の後半からスキャンイネーブル信号SEを“0”にする。

【0054】

時刻T14の開始タイミングにおいて、テストクロック入力端子TCKを立ち上げてAND回路29の出力をスキャンレジスタ10'に取り込む。この例では、時刻T14でスキャンレジスタ10'が“0”の値をもち、テストデータ出力端子TDOにスキャンレジスタ10'の値が出力されている。時刻T14でのテストデータ出力端子TDOを期待値データ“0”と比較することにより未検出故障〔信号線16：SA1〕を検出することができる。今回の例では、未検出故障が1つであるので、これで必要なテストが終了する。

【0055】

未検出故障が複数の場合は、未検出故障の数だけテストを繰り返す。

【0056】

本実施の形態はパースカルスキャンテストであり、必要なレジスタのみをスキャンレジスタに置き換えるため、すべてのレジスタをスキャンレジスタに置き換えるフルスキャンテストに比べて、チップ面積の増加が少ない。

【0057】

また、フルスキャンテストではスキャンチェーンを構成するレジスタが増え、チェーンが長くなると、テスト条件を設定入力するために多くのデータをテストデータ入力端子TDIから設定入力してなければならず、多くの時間がかかってしまう。また、結果をテストデータ出力端子TDOに読み出すのにも同様に多くの時間がかかってしまう。

【0058】

これに対して、本発明のこの実施の形態では、レジスタ群が並列に動作している通常の動作状態（ステップS1のテストパターンの動作状態）を利用してテスト条件を作成するとともに、スキャンチェーンの長さを必要最小限にしていることから、より短いテスト時間で未検出の故障を捕捉することができる。

【0059】

（実施の形態2）

図6は、図1に示すテスト容易化設計を行う前の元の回路C0に対して、テス

ト容易化のために修正を行った後の修正回路C2を示す。図示例の修正回路C2は、元の回路C0におけるレジスタ2がリセット付きレジスタ2"に置き換えられ、レジスタ10がスキャンレジスタ10'に置き換えられている。

#### 【0060】

すなわち、図1において、プロセッサ104が制御しても、その値を“0”にすることが難しいと判断されたレジスタ2を強制的に“0”に設定入力できるようにするためにリセット付きレジスタ2"に置き換えている。RESETは、強制リセットのためのリセット信号であり、今回の例ではプロセッサ104が出力するものとしている。ただし、プロセッサ104の出力に限定する必要性はない。また、図1のレジスタ10は、プロセッサ104の制御では観測が難しいとされたもので、スキャンレジスタ10'に置き換えられている。リセット付きレジスタ2"への置き換え方法およびスキャンレジスタ10'への置き換え方法については、図7で説明する。

#### 【0061】

スキャンイネーブル信号SEは、スキャンレジスタ10'がテスト用データ入力(TD)よりデータを取り込むことを指定する。スキャンレジスタ10'のデータ出力(Q)には、スキャンチェーンのデータ出力端子TDOが接続されている。今回の例ではスキャンレジスタはスキャンレジスタ10'の1つのみであるので、スキャンチェーンとなっていないが、スキャンレジスタが複数ある場合に、データ出力(Q)を次のスキャンレジスタのテスト用データ入力(TD)に連続して接続することによりスキャンチェーンを構成する。テストクロック入力端子TCKは、OR回路32を介してスキャンレジスタ10'のクロック入力(CK)に接続されている。すなわち、OR回路32は、プロセッサ104からの基本クロックCKと外部からのテストクロック入力端子TCKを2入力とし、出力はスキャンレジスタ10'のクロック入力(CK)に接続する。テストクロック入力端子TCKからのテストクロックは、スキャンチェーンのデータをシフトさせ、テストデータ出力端子TDOへ出力する動作をタイミング制御する。

#### 【0062】

図7は、図1に示す元の回路C0を図6に示す修正回路C2に修正するととも

に、修正回路 C 2 用のテストパターンを作成して行うテスト動作を示すフローチャートである。

#### 【 0 0 6 3 】

元の回路 C 0 に対するテストパターンが既にあるとする。故障検出率を上げるためにテスト容易化設計、テストパターン追加を行う。

#### 【 0 0 6 4 】

初めに、ステップ S 1 1 において、元の回路 C 0 で故障シミュレーションを行う。

#### 【 0 0 6 5 】

次に、ステップ S 1 2 において、故障シミュレーションで未検出であった故障をリストアップする。今回の例では、元の回路 C 0 のレジスタ 2 の出力の信号線 1 6 が “ 1 ” に縮退している故障が未検出であるとする。

#### 【 0 0 6 6 】

次に、ステップ S 1 3 において、未検出故障〔信号線 1 6 : S A 1 〕をテストするための条件（テスト条件）を求める。未検出故障〔信号線 1 6 : S A 1 〕を検出するための入力側のテスト条件は、上記同様に、

レジスタ 1 の出力の信号線 1 5 …… “ 1 ”

レジスタ 2 の出力の信号線 1 6 …… “ 0 ”

レジスタ 3 の出力の信号線 1 7 …… “ 1 ”

レジスタ 4 の出力の信号線 1 8 …… “ 1 ”

である。この条件のとき、〔信号線 1 6 : S A 1 〕という故障がなければ、A N D 回路 2 9 の出力側の信号線 2 4 が “ 0 ” になり、〔信号線 1 6 : S A 1 〕という故障が起これば、信号線 2 4 が “ 1 ” となる。

#### 【 0 0 6 7 】

次に、ステップ S 1 4 において、テストパターンを作成するために、故障シミュレーションの実施中でテスト条件に最も近い状態を探す。今回の例では、時刻 T 1 2 の状態、

レジスタ 1 の出力の信号線 1 5 …… “ 1 ”

レジスタ 2 の出力の信号線 1 6 …… “ 1 ”

レジスタ 3 の出力の信号線 17 …… “1”

レジスタ 4 の出力の信号線 18 …… “1”

が最も近い状態であるとする。

#### 【0068】

次に、テストパターンが容易に作成できるように元の回路 C0 に対して修正を加える。

#### 【0069】

すなわち、ステップ S15 において、テスト条件に最も近い状態で条件に合わないレジスタをテスト条件に合うように、セット付きレジスタまたはリセット付きレジスタに置き換える。今回の例では、レジスタ 2 をリセット付きレジスタ 2' に置き換える。また、故障が無いときと故障が起きたときとで出力／期待値の変化が起きる信号を設定入力するレジスタをスキャンレジスタに置き換える。今回の例では、レジスタ 10 をスキャンレジスタ 10' に置き換える。

#### 【0070】

併せて、スキャンデータを観測するためのテストデータ出力端子 TDO、テスト用データの設定入力・シフト・出力のためのテストクロックを入力するテストクロック入力端子 TCK を加える。また、プロセッサ 104 において、スキャンモードを設定するためのスキャンイネーブル信号 SE を加える。そして、テストデータ出力端子 TDO をスキャンレジスタ 10'（一般的にはスキャンチェーンの最後のスキャンレジスタ）のデータ出力（Q）に接続する。スキャンイネーブル信号 SE の信号線をスキャンレジスタ 10' のスキャンイネーブル入力（SE）に接続する。テストクロック入力端子 TCK を OR 回路 32 の 1 つの入力に接続し、OR 回路 32 のもうひとつの入力をプロセッサ 104 の基本クロック CK に接続し、OR 回路 32 の出力をスキャンレジスタ 10' のクロック入力（CK）に接続する。

#### 【0071】

この例では、スキャンレジスタ 10'（一般的にはスキャンチェーンの最初のスキャンレジスタ）のテスト用データ入力（TD）を VDD に固定している。GND に固定しても良い。あるいは、スキャン用データを設定入力するためのテス

トデータ入力端子TDIを設けて、スキャンレジスタ10'のテスト用データ入力(TD)に接続しても良い。

#### 【0072】

今回の例では、未検出故障が1つなので、以上によって、図1に示す元の回路C0が図6に示す修正回路C2に修正される。未検出故障が複数ある場合には、未検出故障の数だけレジスタの置き換えを繰り返す。

#### 【0073】

次に、ステップS16において、図6に示す修正回路C2において、未検出故障〔信号線16：SA1〕を検出できるテストパターンを作成する。テスト条件に最も近い状態となる時刻T12まではステップS11のシミュレーションパターンをそのまま用いる（これについては、図8で詳述する）。この状態では、

レジスタ1の出力の信号線15 …… “1”

レジスタ2'の出力の信号線16 …… “1”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

となっている。この状態から、リセット信号RESETを動作させることにより、未検出故障〔信号線16：SA1〕を検出できるテストパターンを作る。今回の例では、作成されたテストパターンは、

レジスタ1の出力の信号線15 …… “1”

レジスタ2'の出力の信号線16 …… “0”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

となる。

#### 【0074】

未検出故障が複数ある場合は、以上のパターン作成を繰り返す。

#### 【0075】

図8は図6に示す修正回路C2の動作を説明するタイミングチャートである。

#### 【0076】

時刻T1から時刻T12はスキャン動作でない通常の動作モードで故障シミュ

レーションを行う。時刻T1から時刻T12では、テストクロック入力端子TCKは“0”であり、また、スキャンイネーブル信号SEは“0”であり、レジスタ1～4（2はリセット付きレジスタ）およびスキャンレジスタ10'は、故障シミュレーションと同様に値を変化させていく。

#### 【0077】

時刻T12において、レジスタ1～4が図10のテスト設計フローの中のテスト条件に最も近い状態になる。時刻T13において、基本クロックCKを止め、リセット信号RESETを立ち上げてリセット付きレジスタ2"の値を書き換え、テスト条件を作る。作成されたテストパターンは、

レジスタ1の出力の信号線15 …… “1”

レジスタ2"の出力の信号線16 …… “0”

レジスタ3の出力の信号線17 …… “1”

レジスタ4の出力の信号線18 …… “1”

となる。

#### 【0078】

テスト条件でのAND回路29の出力をスキャンレジスタ10'に取り込むため、時刻T14の後半でスキャンイネーブル信号SEを“1”にし、時刻T15でテストクロック入力端子TCKを1発動作させ、AND回路29の出力をスキャンレジスタ10'に取り込む。今回の例では、スキャンチェーンがスキャンレジスタ10'のみであり、スキャンレジスタ10'の値をテストデータ出力端子TDOから観測できる。スキャンチェーンが複数のレジスタからなる場合は、スキャンイネーブル信号SEを“1”にしたままテストクロック入力端子TCKを動作させ、スキャンチェーンを通して順次、レジスタの値をテストデータ出力端子TDOから観測する。今回の例では、未検出故障が1つなので、これで必要なテストが終了する。

#### 【0079】

未検出故障が複数の場合は、未検出故障の数だけテストを繰り返す。

#### 【0080】

本実施の形態もパーシャルスキャンテストであり、必要なレジスタのみをリセ

ット付きレジスタ（あるいはセット付きレジスタ）とスキャンレジスタに置き換えるため、すべてのレジスタをスキャンレジスタに置き換えるフルスキャンテストに比べて、チップ面積の増加が少ない。

#### 【0081】

また、実施の形態1と同様に、レジスタ群が並列に動作している通常の動作状態（ステップS11のテストパターンの動作状態）を利用してテスト条件を作成するとともに、スキャンチェーンの長さを必要最小限にしていることから、より短いテスト時間で未検出の故障を捕捉することができる。

#### 【0082】

##### （実施の形態3）

図9は、図1に示すテスト容易化設計を行う前の元の回路C0に対して、テスト容易化のために修正を行った後の修正回路C3を示す。元の回路C0において、レジスタ1はプロセッサ104からデータを設定入力でき、レジスタ8はそのデータをプロセッサ104から読み出すことができる。この2つのレジスタ1, 8以外のレジスタをスキャンレジスタに置き換えて図9に示す修正回路C3としている。すなわち、元の回路C0におけるレジスタ2～7およびレジスタ9～14がスキャンレジスタ2'～7' およびスキャンレジスタ9'～14' に置き換えられている（置き換え方法については、図10、図11で説明する）。スキャンレジスタ2'～7', 14'～9' がスキャンチェーンを構成する。各スキャンレジスタのデータ出力（Q）は次段のスキャンレジスタのテスト用データ入力（TD）に接続されている。

#### 【0083】

テストデータ入力端子TDIはスキャンチェーンにおける初段のスキャンレジスタ2'のテスト用データ入力（TD）に接続されている。テストデータ出力端子TDOはスキャンチェーンにおける最終段のスキャンレジスタ9'のデータ出力（Q）に接続されている。プロセッサ104からの基本クロックCKがOR回路32と外部からのテストクロック入力端子TCKを2入力とし、出力はスキャンチェーンを構成するスキャンレジスタ2'～7' およびスキャンレジスタ9'～14'のクロック入力（CK）に接続する。プロセッサ104からのスキャン

イネーブル信号SEの信号線は各スキャンレジスタ2' ~ 7' , 9' ~ 14' のスキャンイネーブル入力(SE)に接続されている。

#### 【0084】

修正回路C3において、レジスタから置き換えられたスキャンレジスタ2' ~ 7' , 14' ~ 9' およびこれに接続されたテストデータ入力端子TDI、テストデータ出力端子TDOでスキャンチェーンが構成される。このスキャンチェーンをテストするときは、プロセッサ104は基本クロックCKの出力を停止するとともに、スキャンイネーブル信号SEをアクティブの“1”に切り換える。これにより、スキャンレジスタ2' ~ 7' , 14' ~ 9' はデータ入力端子を通常動作時のデータ入力(D)からテスト用データ入力(TD)に切り換える。そして、外部からテストクロックをテストクロック入力端子TCKから入力する。このテストクロックはOR回路32を介してスキャンレジスタ2' ~ 7' , 14' ~ 9' のクロック入力(CK)に供給される。したがって、外部から任意のテスト用データをテストクロック入力端子TCKから初段のスキャンレジスタ2' のテスト用データ入力(TD)に設定入力、順次、次段のスキャンレジスタにシフトさせることができる。スキャンレジスタ2' ~ 7' に所望のテスト用データを設定入力した状態で、キャプチャー動作を行い、スキャンレジスタ2' ~ 7' のデータ出力(Q)から出力されたデータは組み合わせ回路102において論理合成され、その結果がスキャンレジスタ9' ~ 14' のデータ入力(D)に設定入力される。再びスキャン動作を行い、スキャンレジスタ14' のデータをスキャンレジスタ13' に、スキャンレジスタ13' のデータをスキャンレジスタ12' に、以下同様にして、スキャンレジスタ10' のデータをスキャンレジスタ9' にそれぞれシフトさせ、さらにスキャンレジスタ9' のデータ出力(Q)から外部のテストデータ出力端子TDOに出力させる。すなわち、組み合わせ回路102による論理合成を観測することができる。

#### 【0085】

図10は、図1に示す元の回路C0を図9に示す修正回路C3に修正するとともに、修正回路C3のテストパターンを作成する動作を示すフローチャートである。本実施の形態では、実施の形態1, 2のテスト容易化設計とは違い、元の回



路C0用の既存テストパターンはなく、図9の状態になってからテストパターンを作成する。

#### 【0086】

初めに、ステップS21において、元の回路C0で、データの設定入力または読み出しを直接に行えないレジスタをスキャンレジスタに置き換える。今回の例では、レジスタ2～7，9～14をスキャンレジスタに置き換える。

#### 【0087】

併せて、スキャン用のテスト用データを設定入力するためのテストデータ入力端子TDI、スキャンデータを観測するためのテストデータ出力端子TDO、テスト用データの設定入力・シフト・出力のためのテストクロックを入力するテストクロック入力端子TCKを加える。また、プロセッサ104において、スキャンモードを設定するためのスキャンイネーブル信号SEを加える。そして、テストデータ入力端子TDIをスキャンチェーンの初段のレジスタとなるスキャンレジスタ2'のテスト用データ入力(TD)に接続する。テストデータ出力端子TDOをスキャンチェーンの最終段のレジスタとなるスキャンレジスタ9'のデータ出力(Q)に接続する。スキャンイネーブル信号SEをスキャンレジスタ2'～7'，14'～9'のスキャンイネーブル入力(SE)に接続する。テストクロック入力端子TCKをOR回路32の1つの入力に接続し、OR回路32のもうひとつの入力をプロセッサ104の基本クロックCKに接続し、OR回路32の出力をスキャンレジスタ2'～7'，14'～9'のクロック入力(CK)に接続する。以上によって、図1に示す元の回路C0が図9に示す修正回路C3に修正される。

#### 【0088】

次に、ステップS22において、対象故障をリストアップする。今回の例では、信号線16が“1”に縮退している故障SA1の場合を考える。故障が複数ある場合は、以下の考え方／手順によるパターン作成を故障の数だけ繰り返す。

#### 【0089】

ステップS23において、対象とする故障をテストするための条件を求める。今回の例では、組み合わせ回路102において、AND回路29の入出力にかか

わる信号線を対象とする。AND回路29の入力側はレジスタ1、スキャンレジスタ2'、3'、4'の出力の信号線15～18であり、出力側はスキャンレジスタ10'の信号線24である。そして、信号線16が“1”に縮退していることをテストするためのテスト条件を求める。そのテスト条件は、

レジスタ1の出力の信号線15 …… “1”

レジスタ2'の出力の信号線16 …… “0”

レジスタ3'の出力の信号線17 …… “1”

レジスタ4'の出力の信号線18 …… “1”

である。

#### 【0090】

ステップS24において、プログラムでプロセッサ104を動作させて、または集積回路端子からの入力でテスト用データの設定入力ができるレジスタについては、プログラムまたは集積回路端子を用いてテスト用データを設定入力する。今回の例では、レジスタ1に対してプログラムによりテスト用データを設定入力するようなパターンとする。

#### 【0091】

次に、ステップS25において、プログラムでプロセッサ104を動作させて、または集積回路端子からの入力でテスト用データの設定ができないレジスタについては、スキャンチェーンで値を設定入力する。今回の例では、スキャンレジスタ2'、3'、4'をスキャンチェーンでテスト用データを設定入力するパターンとする。以上でテスト条件を満たすようなパターンとなる。

#### 【0092】

テスト条件が満たされた後、結果を観測するため、ステップS26において、プログラムでプロセッサ104を動作させて、または集積回路端子からの出力でテスト用データの観測ができないレジスタについては、スキャンチェーンでテスト用データを観測する。今回の例では、スキャンレジスタ10'の値をスキャンチェーンで観測する。すなわち、スキャンレジスタ9'にシフトした上で、データ出力端子TDOから読み出す。

#### 【0093】

次に、ステップ S 2 7 において、プログラムでプロセッサ 1 0 4 を動作させて、または集積回路端子からの出力でテスト用データの観測ができるレジスタについては、プログラムまたは集積回路端子を用いてテスト用データを観測する。今回の例では、本来必要無いが、例えば、レジスタ 8 の値などをプログラムでプロセッサ 1 0 4 を動作させて観測する。

#### 【 0 0 9 4 】

図 1 1 は図 9 に示す修正回路 C 3 の動作を説明するタイミングチャートである。図 5 の場合と同じ要素と、書き込み制御信号 W E 2 および読み出し制御信号 R E 1 が示されている。

#### 【 0 0 9 5 】

時刻 T 1 から時刻 T 2 にかけては、スキャン動作でなく、通常の動作モードにおいて、プログラムまたは集積回路端子で制御できるレジスタに対してテスト用データの設定入力を行う。今回の例ではプロセッサ 1 0 4 を動作させてレジスタ 1 に “ 1 ” を設定入力する。すなわち、時刻 T 1 において、プロセッサ 1 0 4 はバス 1 0 5 に対して、レジスタ 1 を示すアドレスとレジスタ 1 に書き込むデータ “ 1 ” を出力する。

#### 【 0 0 9 6 】

時刻 T 2 において、基本クロック C K の立ち上がりタイミングで、レジスタ 1 に “ 1 ” が書き込まれる。

#### 【 0 0 9 7 】

時刻 T 3 から時刻 T 5 にかけてはスキャン動作を行って、スキャンレジスタ 2 , 3 , 4 にテスト用データの設定入力を行う。スキャン動作にするために、時刻 T 2 の後半からスキャンイネーブル信号 S E を “ 1 ” にし、プロセッサ 1 0 4 からの基本クロック C K を停止する一方、テストクロック入力端子 T C K からテストクロックを供給する。

#### 【 0 0 9 8 】

時刻 T 2 の後半からテストデータ入力端子 T D I を “ 1 ” にする。これは、最終的にスキャンレジスタ 4 に設定入力すべき値である。

#### 【 0 0 9 9 】

時刻T3において、テストクロック入力端子TCKの立ち上がりタイミングでスキャンレジスタ2' にテストデータ入力端子TDIの値が取り込まれる。

【0100】

時刻T3の後半からテストデータ入力端子TDIを“1”にする。これは、最終的にスキャンレジスタ3' に設定入力すべき値である。

【0101】

時刻T4において、テストクロック入力端子TCKの立ち上がりタイミングでスキャンレジスタ2' の値がスキャンレジスタ3' に取り込まれ、スキャンレジスタ2' にテストデータ入力端子TDIの値が取り込まれる。

【0102】

時刻T4の後半からテストデータ入力端子TDIを“0”にする。これは、最終的にスキャンレジスタ2' に設定入力すべき値である。

【0103】

時刻T5において、テストクロック入力端子TCKの立ち上がりタイミングでスキャンレジスタ3' の値がスキャンレジスタ4' に取り込まれ、スキャンレジスタ2' の値がスキャンレジスタ3' に取り込まれ、スキャンレジスタ2' にテストデータ入力端子TDIの値が取り込まれる。時刻T5の状態テスト状態となる。すなわち、レジスタ1, 2', 3', 4' にデータ“1”, “0”, “1”, “1”が設定入力される。

【0104】

時刻T5の後半からスキャンイネーブル信号SEを“0”にする。

【0105】

時刻T6において、基本クロックCKを1発動作させ、テスト状態でのAND回路29の出力をスキャンレジスタ10' に取り込む。スキャンレジスタ10' の値をスキャンチェーンによりテストデータ出力端子TDOに読み出すため、時刻T6の後半からスキャンイネーブル信号SEを“1”にし、時刻T7において、テストクロック入力端子TCKを1発動作させ、スキャンレジスタ10' の値をスキャンレジスタ9' に取り込む。スキャンレジスタ9' のデータ出力(Q)からテストデータ出力端子TDOに出力され、その値を観測することができる。

**【0106】**

以上により信号線16が“1”に縮退している故障SA1を検出することができる。

**【0107】**

今回の例では本来必要無いが、プログラムでプロセッサ104を動作させてレジスタ8を観測する場合は、時刻T7の後半からスキャンイネーブル信号SEを“0”にするとともに、バス105のアドレス部分にレジスタ8を指すアドレスを載せる。時刻T8に基本クロックCKを動作させ、レジスタ8の値をバス105のデータ部分に読み出し観測する。

**【0108】**

レジスタ1～14のすべてをスキャンレジスタに置き換えるフルスキャンテストに比べて、本実施の形態では、プロセッサ104から直接制御／観測可能なレジスタ1，8についてはそのままとし、直接制御／観測が不可能なレジスタ2～7，9～14に限ってスキャンレジスタと置き換えるようにしたので、チップ面積の増加を抑制することができる。また、レジスタ群が並列に動作している通常の動作状態（プロセッサが動作している状態）を利用して、テスト条件を作成するとともに、スキャンチェーンの長さをなるべく短いものに行っていることから、より短いテスト時間で未検出の故障を捕捉することができる。

**【0109】**

以上、3つの実施の形態について説明したが、実施の形態1と実施の形態2との組み合わせ、実施の形態2と実施の形態3との組み合わせ、実施の形態1と実施の形態3との組み合わせ、実施の形態1と実施の形態2と実施の形態3との組み合わせがある。

**【0110】****【発明の効果】**

本発明によれば、従来方式のすべてのレジスタをスキャンレジスタに置き換えるフルスキャンテストとは異なり、未検出故障に対応するレジスタのみをスキャンレジスタに置き換えるだけ、あるいは、セット付きレジスタ・リセット付きレジスタとスキャンレジスタとに置き換えるだけである。あるいは、搭載プロセッ

サまたは集積回路端子から直接に制御／観測できないレジスタのみをスキャンレジスタに置き換えるだけである。このようなパーシャルスキャンテスト方式を採用しているので、フルスキャンテスト方式に比べて、スキャンレジスタに置き換えるべきレジスタの数を少なくすることができ、チップ面積の増大を抑制できる。そして、一部のテストは通常の基本クロックのもとで実行でき、高速処理が可能である。

#### 【0111】

セット付きレジスタまたはリセット付きレジスタとすれば、プロセッサまたは集積回路端子からの制御性が向上する。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1～3に共通のテスト容易化設計を行う前の元の回路を示す回路図

【図2】 本発明の実施の形態1におけるテスト容易化のために元の回路に対して修正を行った後の修正回路を示す回路図

【図3】 実施の形態1における修正回路で使用されたスキャンレジスタの構成を示すレジスタ構成図とその等価回路の回路図

【図4】 実施の形態1における修正回路の作成とテストパターンの作成を含むテスト動作を示すフローチャート

【図5】 実施の形態1における修正回路の動作を説明するタイミングチャート

【図6】 本発明の実施の形態2におけるテスト容易化のために元の回路に対して修正を行った後の修正回路を示す回路図

【図7】 実施の形態2における修正回路の作成とテストパターンの作成を含むテスト動作を示すフローチャート

【図8】 実施の形態2における修正回路の動作を説明するタイミングチャート

【図9】 本発明の実施の形態3におけるテスト容易化のために元の回路に対して修正を行った後の修正回路を示す回路図

【図10】 実施の形態3における修正回路の作成とテストパターンの作成を

含むテスト動作を示すフローチャート

【図 1 1】 実施の形態 3 における修正回路の動作を説明するタイミングチャート

【図 1 2】 従来の集積回路テスト方法の構成図

【符号の説明】

C 0 元の回路

C 1, C 2, C 3 修正回路

1 ~ 1 4 レジスタ (D フリップフロップ)

1, 8 プロセッサから直接制御可能なレジスタ

2 ~ 7 プロセッサから直接制御できないレジスタ

9 ~ 1 4 プロセッサから直接制御できないレジスタ

2 スキャンレジスタ、リセット付きレジスタ

1 0 スキャンレジスタ

2 9 AND 回路

3 0 セレクタ

3 1 トライステートバッファ (読み出し制御回路)

3 2 OR 回路

1 0 1, 1 0 2, 1 0 3 組み合わせ回路

1 0 4 プロセッサ

1 0 5 バス

1 0 6 アドレスデコーダ

WE 2 書き込み制御信号

RE 1, RE 3 読み出し制御信号

CK 基本クロック

TDI データ入力端子

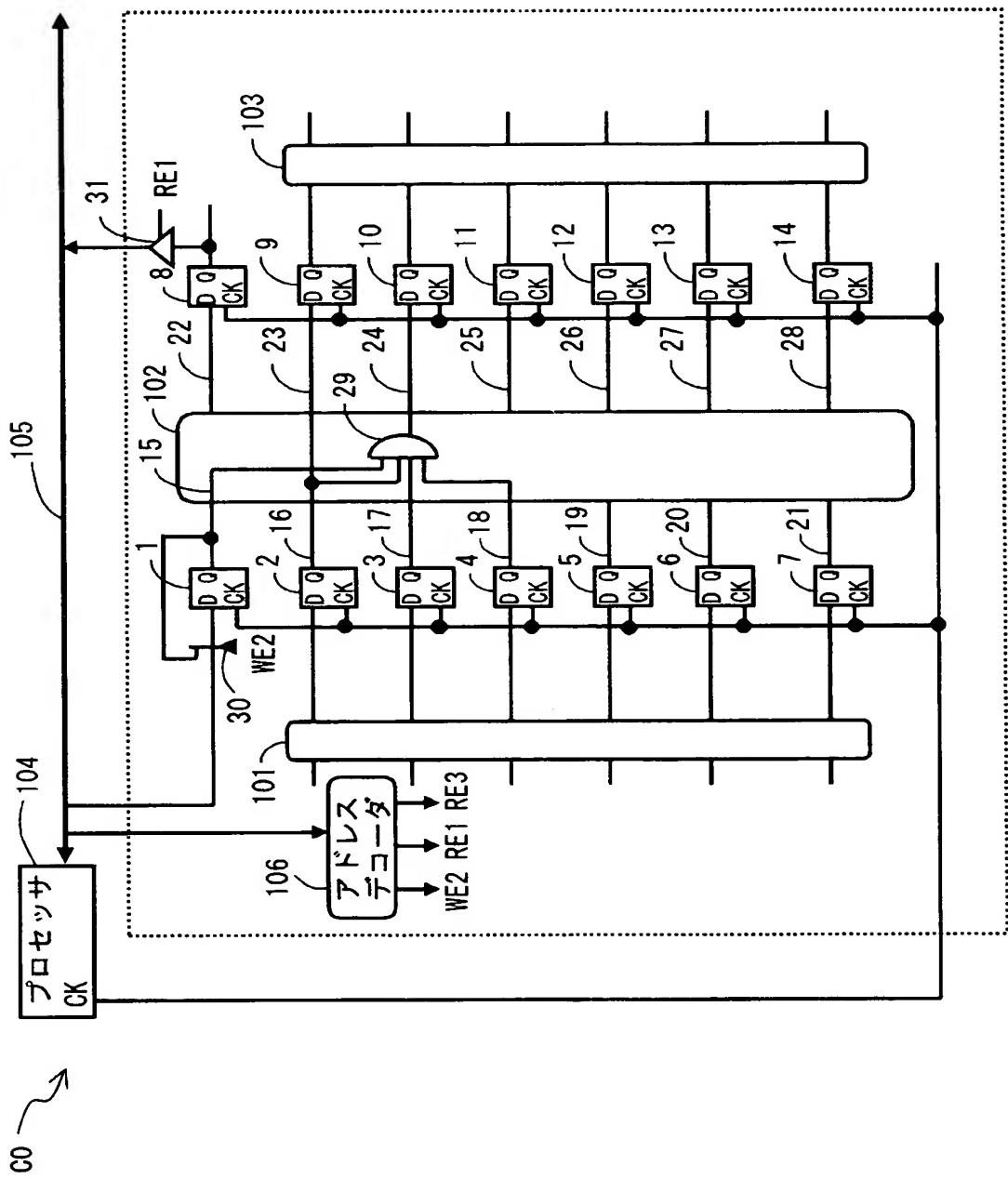
TDO データ出力端子

TCK テストクロック入力端子

SE スキャンイネーブル信号

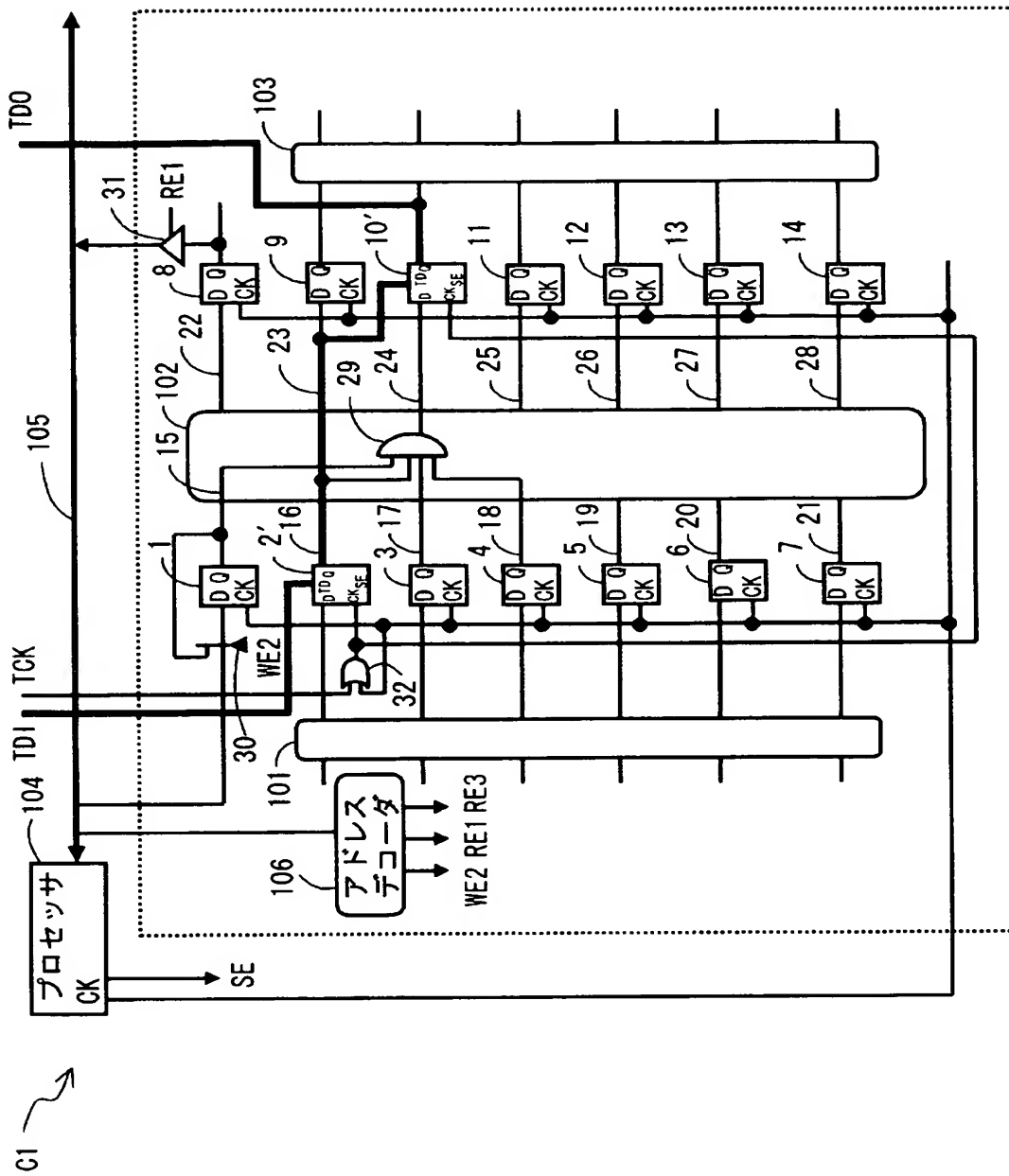
【書類名】 図面

【図 1】

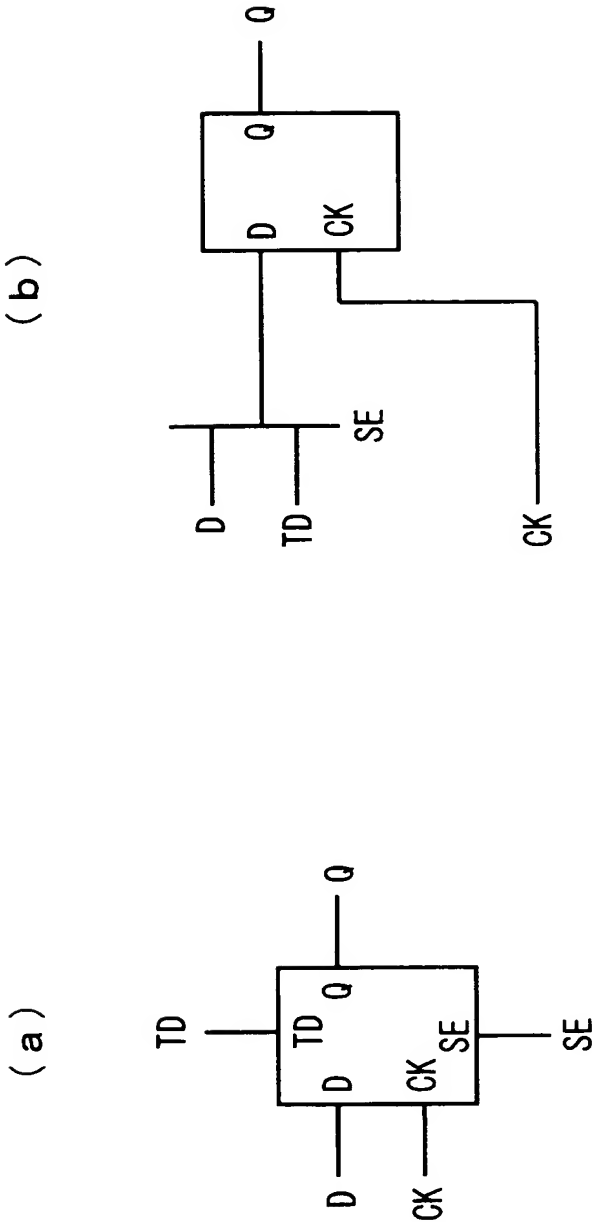




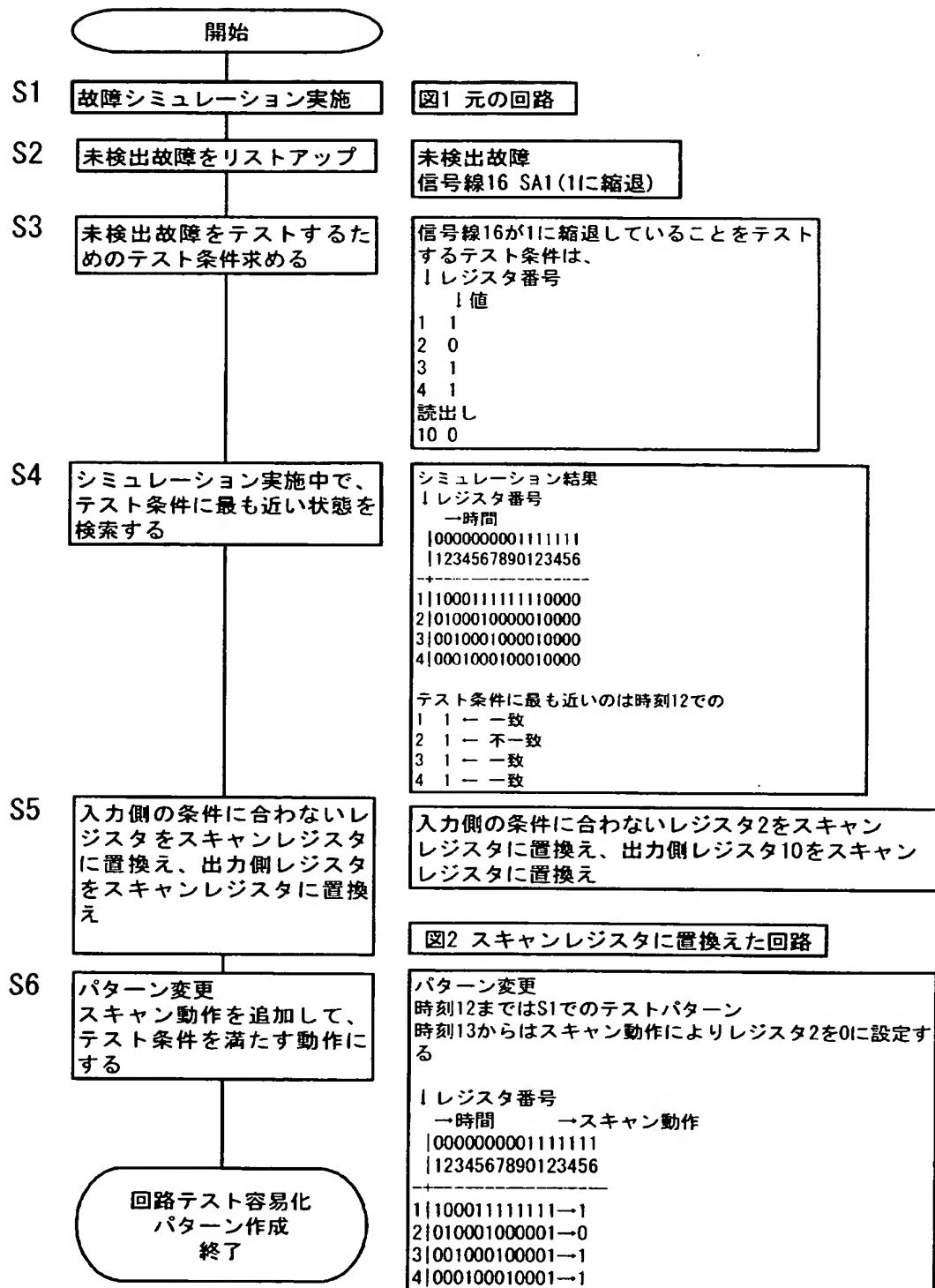
【図 2】



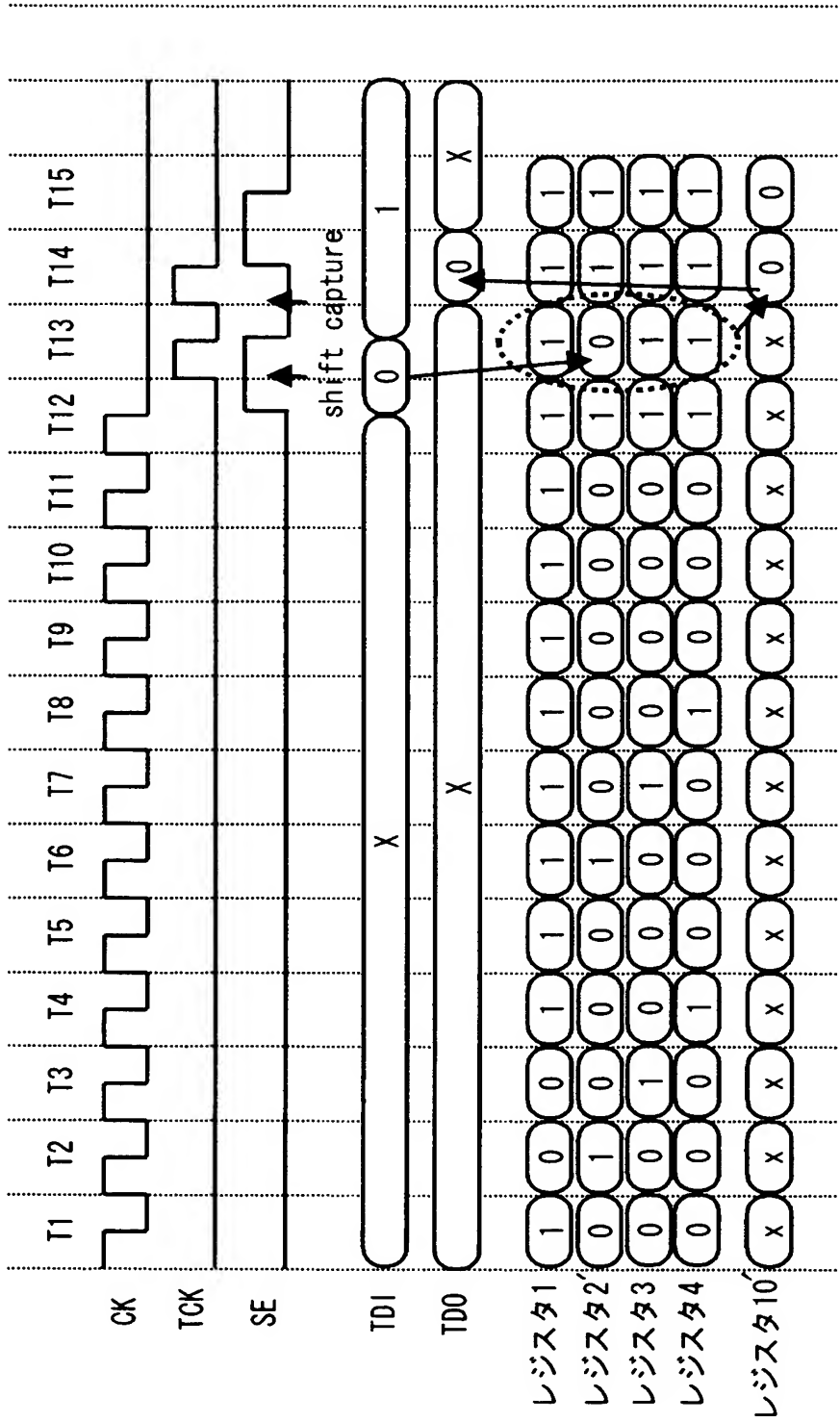
【図 3】



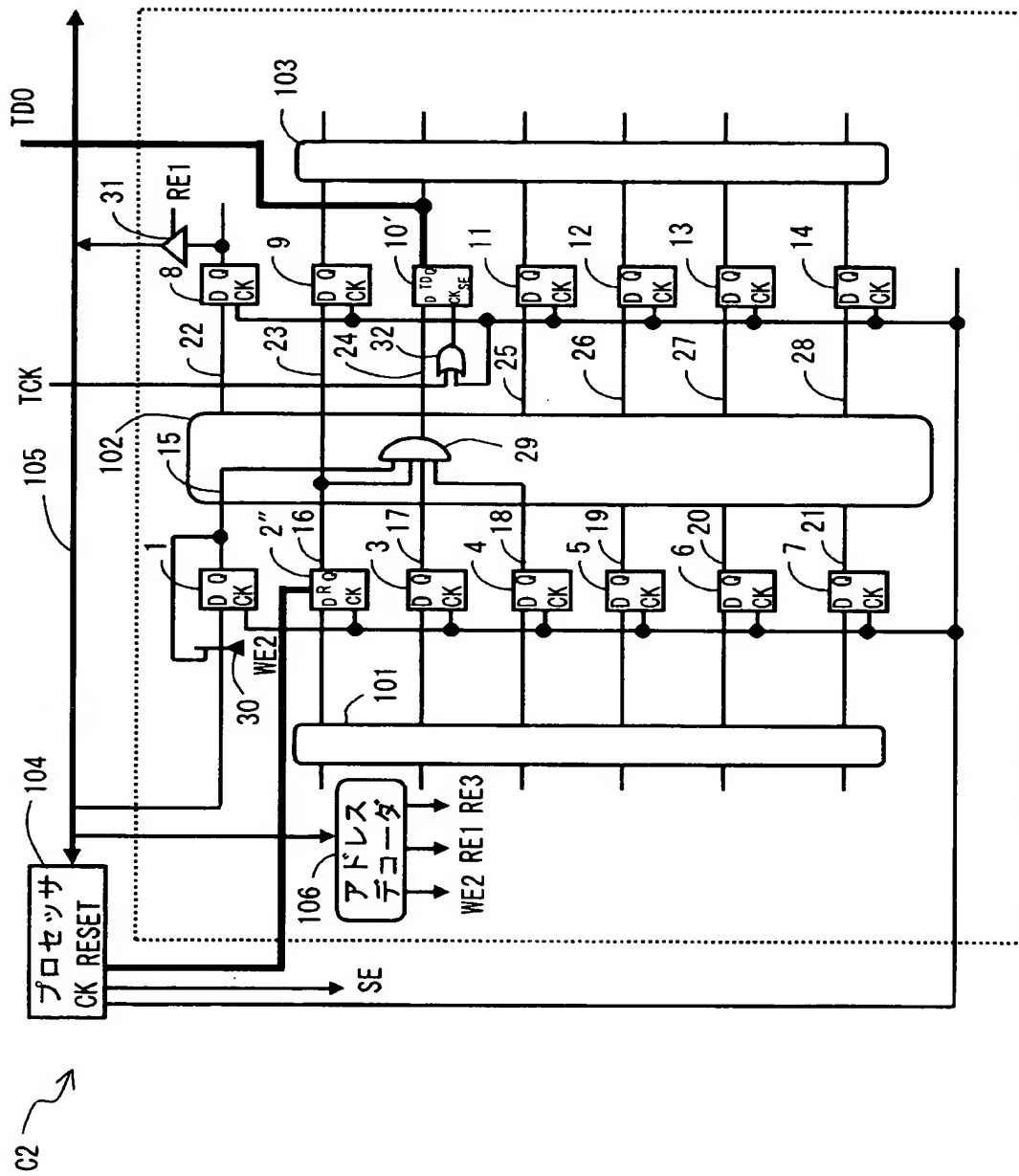
【図 4】



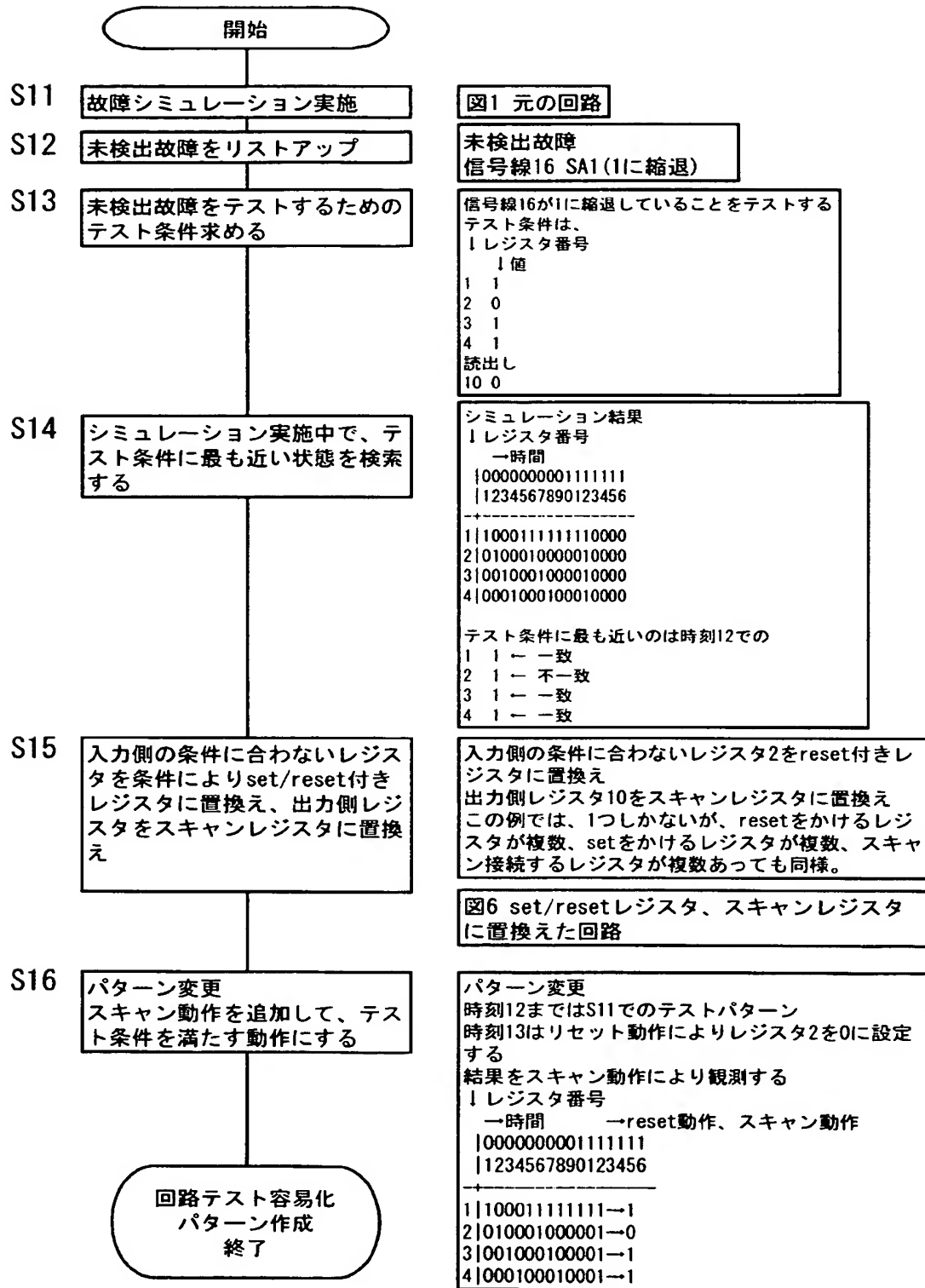
【図 5】



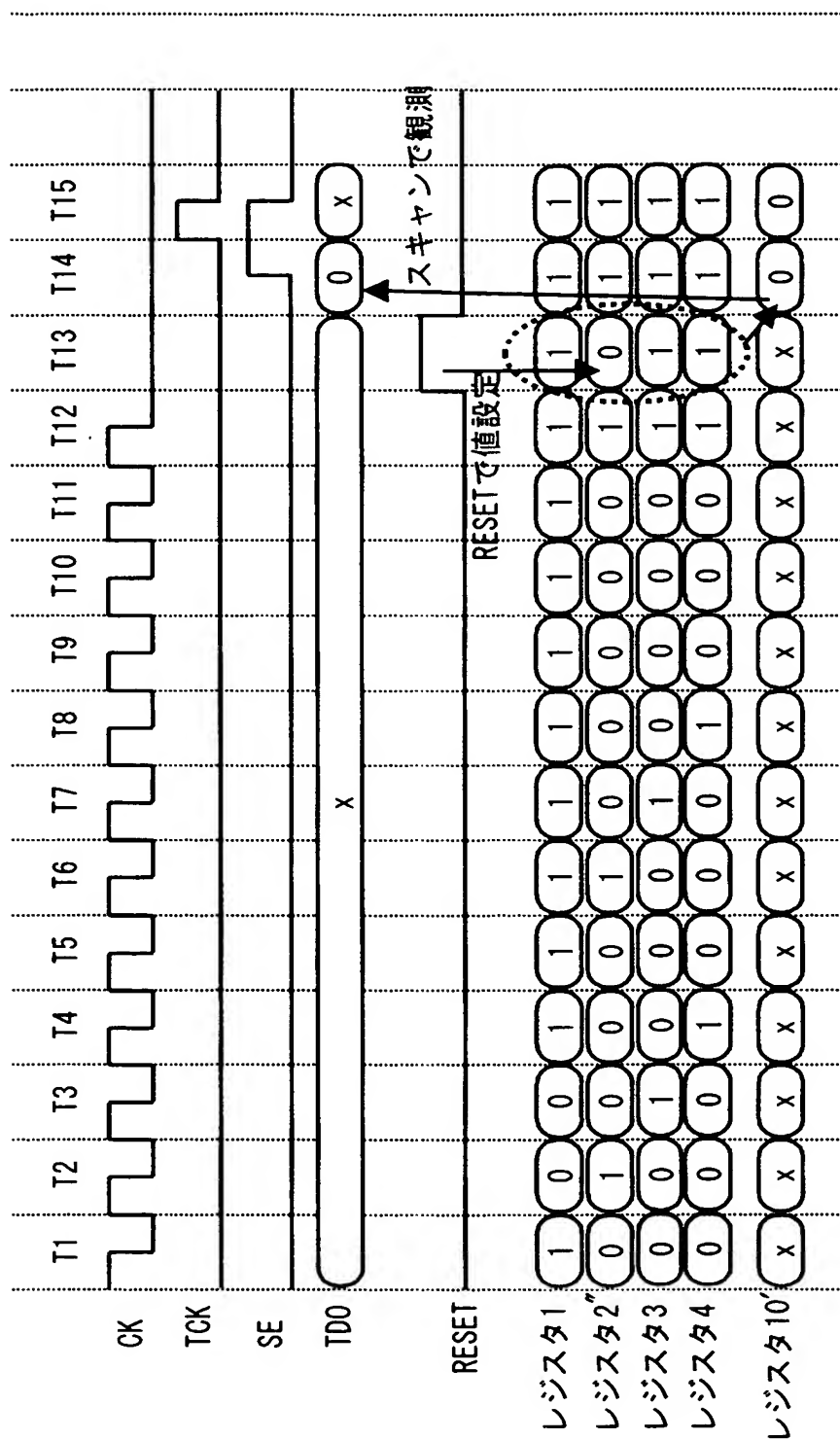
【図 6】



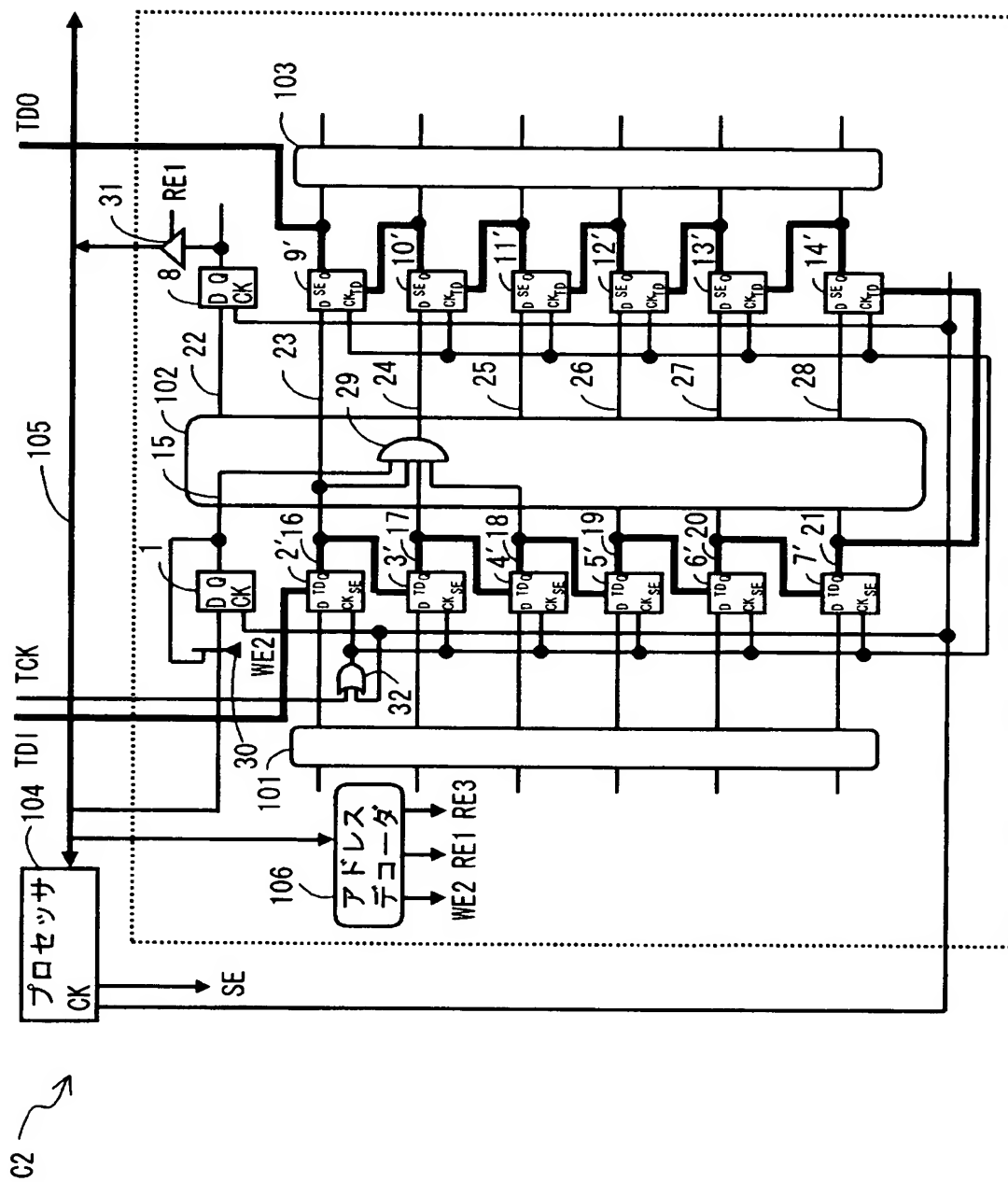
【図 7】



【図 8】

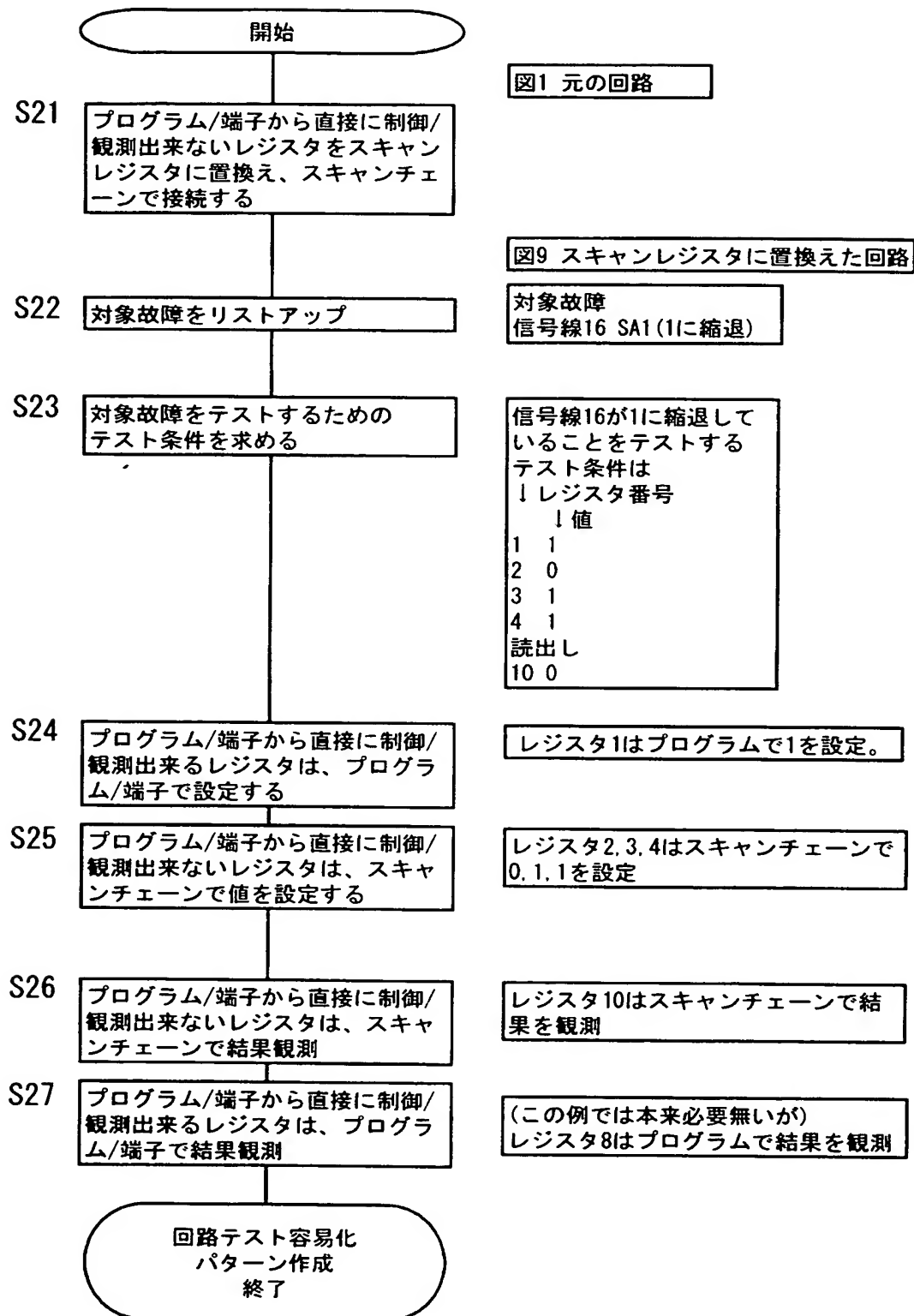


【図 9】

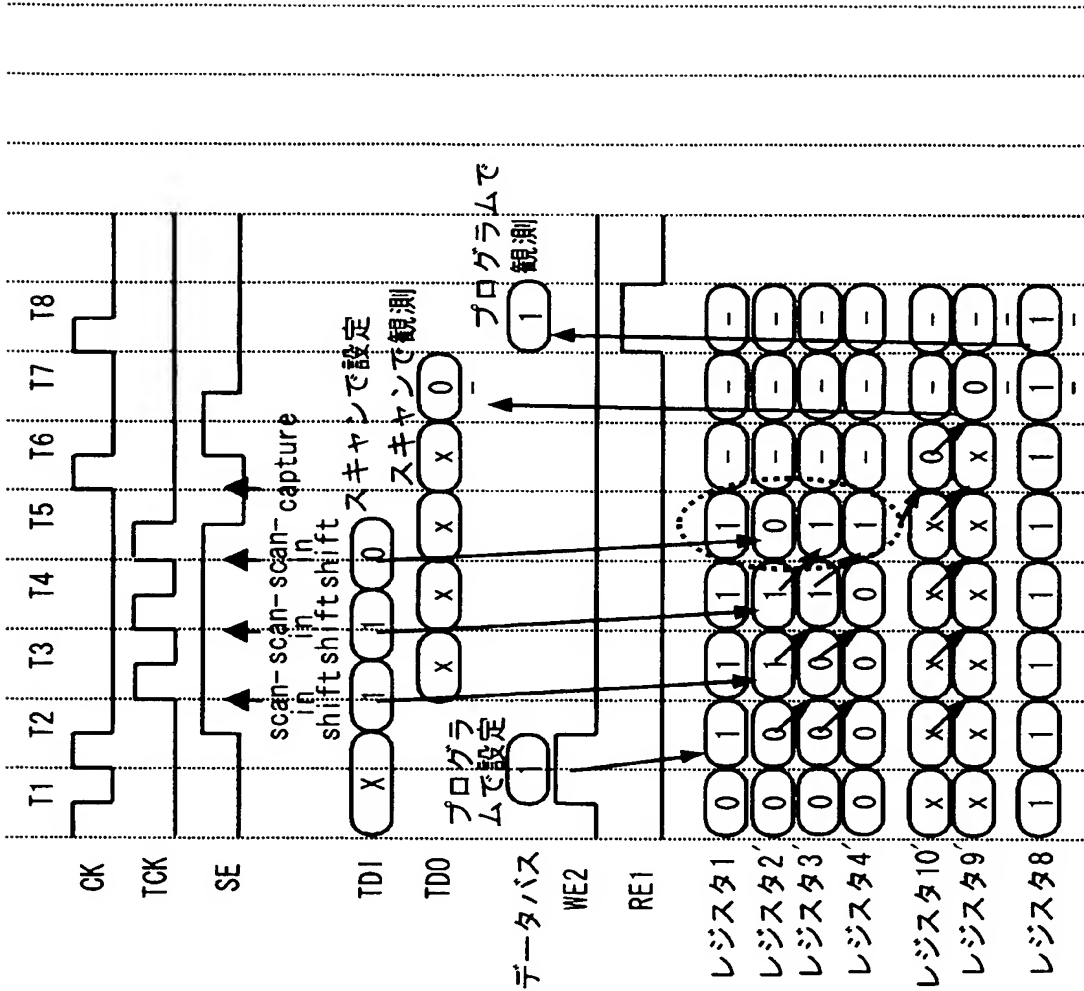




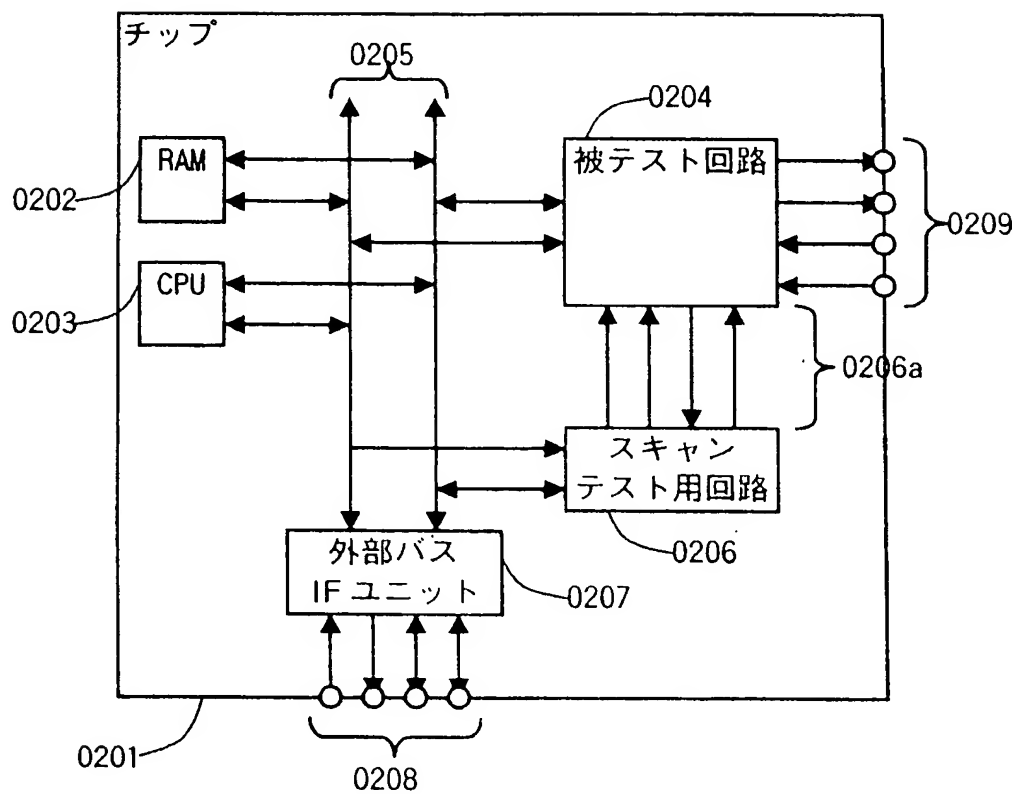
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 フルスキャンテスト方式に見られるチップ面積の無駄を解消するとともに、高速動作が行えるようにする。

【解決手段】 第1の工程は、集積回路に対し所定のテストパターンに基づく故障シミュレーションを行って検出可能な故障と検出不可能な故障とを弁別する。第2の工程は、未検出故障をリストアップする。第3の工程は、未検出故障のテスト条件を求める。第4の工程は、所定のテストパターンのうち第3の工程のテスト条件に最も近いテストパターンを求める。第5の工程は、未検出故障に対応するレジスタをスキャンレジスタに置き換えるとともに、スキャンレジスタをスキャンチェーン接続して修正回路を構成する。第6の工程は、修正回路に対して所定のテストパターンを用いながら未検出故障相当のタイミングでは第4の工程で求めたテストパターンに切り換えて故障シミュレーションを行う。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 0 0 6 9
受付番号	5 0 2 0 1 3 8 7 1 1 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月17日

次頁無

特願 2 0 0 2 - 2 7 0 0 6 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1 9 9 0 年 8 月 2 8 日  
新規登録  
大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社